

## 修 士 論 文 の 和 文 要 旨

大学院 電気通信学 研究科		博士前期課程	電子工学 専攻
氏 名	高橋 俊太郎		学籍番号 0532054
論 文 題 目	高速で省面積な64ビットデジタル比較回路に関する研究		
<p><b>要 旨</b></p> <p>デジタル比較回路はMPU、CPUなどによく使われており、重要な役割を果たしている。このため、低消費電力化、高速化、省面積化などの需要があり、いくつかの良い結果が報告されている[1]、[2]、[3]。</p> <p>従来のデジタル比較回路では、4ビットセルや8ビットセルを基本にし、それらの縦列接続によって64ビット比較回路を実現してきた[1]。しかし、この方法では目的とする比較ビット数によって最適なビット数のセルを設計しなければならない。更に、ビット数が増加することによって遅延が著しく増加してしまう欠点がある。この欠点を改善するために新しいタイプの回路構成が考案されている[2]。</p> <p>だが、この回路構成ではより大きいという結果しか得られない。更に、入力Bの反転が必要になるため、入力ビット数分の反転回路（インバータ）が要求され、回路規模を大きくしてしまう欠点がある。[3]では[1]の回路を基に高速化に成功しているが、消費電力や面積が大きく、ハイパフォーマンスとは言い難い。</p> <p>従って、本研究では、上記の需要を従来の回路より改善したデジタル比較回路を設計するために、前段ビットの判定結果を用いて後段ビットの判定結果を得る、デジタル比較回路のための判定結果の新しい接続方法を提案する。この接続方法を用いる事で、[1]のように縦属接続する必要はなくなる。更に、比較回路の出力結果に必要な、AがBより大きいという判定結果(<math>A &gt; B</math>)、AがBと等しいという判定結果(<math>A = B</math>)、AがBより小さいという判定結果(<math>A &lt; B</math>)の全てを出力する事ができる。</p> <p>提案する64ビット比較回路をポストレイアウトの状態ではSPICEによりシミュレーションした結果、[1]、[2]と比較した場合は遅延、回路規模の面で従来の回路より改善できた。[3]と比較した場合は消費電力、回路規模の面で優位である事が確認できた。</p> <p>今後の課題としては、1チップ内に提案する回路と従来の回路を実装し、更なる公平な評価をする必要がある。</p> <p><b>参考文献</b></p> <p>[1] Chung-Hsun Huang and Jinn-Shyan Wang, "High-Performance and Power-Efficient CMOS Comparators," IEEE Journal of Solid-State Circuits, vol. 38, pp. 254-262, Feb. 2003.</p> <p>[2] Shun-Wen Cheng, "A High-Speed Magnitude Comparator with Small Transistor Count", Proc. 2003 IEEE International Conference on Electronics, Circuits and Systems, ICECS 2003, pp. 1168-1171, Dec. 14-17, 2003.</p> <p>[3] Hing-mo Lam and Chi-ying Tsui, "High Performance Single Cycle CMOS Comparator", Proc. 2006 IEEE International Symposium, Circuits and Systems, ISCAS 2006, pp. 779-782, May. 21-24 2006.</p>			